

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP359121876A

PAT-NO: JP359121876A

DOCUMENT-IDENTIFIER: JP 59121876 A

TITLE: GLASS SUBSTRATE FOR THIN FILM DEVICE

PUBN-DATE: July 14, 1984

INVENTOR-INFORMATION:

NAME

IKEDA, MITSUSHI

SUZUKI, KOJI

AOKI, TOSHIO

OANA, YASUHISA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP57227406

APPL-DATE: December 28, 1982

INT-CL (IPC): H01L029/78;H01L021/20 ;H01L027/12 ;H01L031/02

US-CL-CURRENT: 257/E29.255

ABSTRACT:

PURPOSE: To prevent a thin film device from deforming at the time of forming the device by covering both side surfaces of a low melting point plate glass with insulators having ditortion point higher than those thereof.

CONSTITUTION: Since mechanical stress abruptly decreases in the vicinity of the distortion point of glass 11, the glass is readily deformed by thermal stress or mechanical stress. At this time, both side surfaces are strengthened by covering the surfaces with an insulating substance 12 such as SiO₂ having strong mechanical strength even in the distortion point of the glass 11 in a thickness of 0.5 μ m; 1.0 μ m. Thus, a thin semiconductor film, an insulating film, and annealing can be formed even at the temperature in the vicinity of the distortion point of the glass 11, and accurately masking can be performed.

COPYRIGHT: (C)1984,JPO&Japio

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-121876

⑤ Int. Cl.³
H 01 L 29/78
21/20
27/12
31/02

識別記号

庁内整理番号
7377-5F
7739-5F
8122-5F
7021-5F

⑬ 公開 昭和59年(1984)7月14日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 薄膜デバイス用ガラス基板

⑮ 特 願 昭57-227406

⑯ 出 願 昭57(1982)12月28日

⑰ 発 明 者 池田光志
川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

⑱ 発 明 者 鈴木幸治
川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

⑲ 発 明 者 青木寿男

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

⑳ 発 明 者 小穴保久

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

㉑ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉒ 代 理 人 弁理士 則近憲佑 外1名

明細書の序言(内容に変更なし)
明 細 書

1. 発明の名称

薄膜デバイス用ガラス基板

2. 特許請求の範囲

(1) 低融点板ガラスの両面が、この板ガラスの
歪点より高い歪点を持つ絶縁物により被覆されて
成る事を特徴とする薄膜デバイス用ガラス基板。

(2) 絶縁物が板ガラスの歪点より150℃以上
低温で形成されている事を特徴とする前記特許請
求の範囲第1項記載の薄膜デバイス用ガラス基板。

(3) 絶縁物の歪点が板ガラスの歪点より200
℃以上高い事を特徴とする前記特許請求の範囲第
1項記載の薄膜デバイス用ガラス基板。

(4) 絶縁物としてSiO₂、Al₂O₃、ThO₂、BeO、
TiO₂、Ta₂O₅、Y₂O₃、ZrO₂、Si₃N₄、Ta₂N、
BN又はAlNを用いた事を特徴とする前記特許請
求の範囲第1項記載の薄膜デバイス用ガラス基板。

(5) 絶縁物の厚さが0.5～10μである事を特
徴とする前記特許請求の範囲第1項記載の薄膜デ
バイス用ガラス基板。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は、薄膜デバイス用ガラス基板に関する。

〔従来技術とその問題点〕

近年、アモルファスシリコン、ポリシリコン、
CdS、CdSe、ZnS等を半導体薄膜として用いる
薄膜トランジスター、密着センサー、太陽電池、
エレクトロルミネッセンスデバイス等の薄膜デバ
イスが研究開発されている。

これらのデバイスは、低価格、大面積、透光性
等の利点により珪酸ガラス等の低融点板ガラス
を用いることが多い。そしてこれらのデバイスの
製作には半導体膜形成、絶縁膜形成、アニール等
の比較的高温のプロセスが必要であり、通常これ
らのデバイスの製作には複数のマスクパターンが
用いられ、マスク合わせは前のプロセスにより形
成されたパターンと合わせることにより行なわれ
る。しかし上記熱プロセスはガラスの歪点に近い
温度で実行されることが多いため、これらのプロ
セスによりガラスが変形し、ガラス上に形成した

パターンの位置がずれるため、次のマスクパターンとの調整が不可能になるという問題点があった。これはパターンが高精細な程、又ガラス基板が大口径になる程顕著となる。

〔発明の目的〕

本発明は上述した従来の問題点を解決し、薄膜デバイス製作時に変形の少ないガラス基板を提供することを目的とするものである。

〔発明の概要〕

本発明では、低融点板ガラス基板の両面を、一般にはガラスの歪点より十分に低い温度（少なくともガラスの歪点より150℃以上低い温度）にて、高い歪点を有する絶縁物により被覆する。ガラスは歪点付近で機械的応力が急激に弱くなるため、熱応力、機械的応力により容易に変形するようになるが、両面をガラスの歪点付近でも機械的強度の強い物質で覆うことにより、基板を強化し薄膜デバイス作成時の変形が防止される。

絶縁物の被覆温度は、両面同時に被覆し、しかも応力がかからない状態であれば（例えば取出し

時等）更に高い温度にする事は可能である。しかし一般には上記温度以下が好ましい。

〔発明の効果〕

本発明によれば、たとえガラスの歪点付近の温度においても半導体薄膜の形成、絶縁膜形成、アニールを行なうことができ、かつ精確なマスク合わせを行なうことが可能となる。又、上記工程は一般に高温になる程良好なものが得られるため、デバイス特性の改善を図ることができる。更に、基板が大面積になると共にガラスの変形によるマスク合わせの困難度は増すため、本発明により大面積ガラス基板の採用が可能となる。

〔発明の実施例〕

第1図(a)~(c)に本発明の実施例を示す。ガラス基板上にアモルファスシリコンの薄膜トランジスタを形成した例である。

先ず、コーニング社の、口径4インチ、厚さ0.8mmの7059番の板ガラス11（バリウム硼硅酸ガラス、歪点593℃）の両面に室温でスパッタにより SiO_2 12を片面ずつ1μ堆積した。榮

件は、Arガス3mm Torr, 300W, 50分とした。次いでゲート電極13a, 13bとしてMoをDCスパッターにより、室温、Arガス、7mm Torr, 300V, 0.2A, 10分の条件で約1000Å堆積し、写真食刻技術によりパターン形成を行なった。次にゲート絶縁膜としてCVD法により SiO_2 14を $\text{SiH}_4 + \text{O}_2$ ガスを用い、450℃、常圧、5分で約3000Å堆積した。その後アモルファスシリコンをグロー放電分解により、 SiH_4 ガス、1Torr, 5W, 40分、基板温度280℃の条件で堆積し、パターン形成した(15a, 15b)。この上にMoを上記した方法で500Åスパッタレ、Alを150℃で3000Å蒸着し、両者をソース・ドレイン電極16としてパターン形成した。

第2図(a)~(c)に上記工程に対応して示す如く、両面に SiO_2 被覆層12のない通常のガラス基板では、ゲート絶縁膜の被着工程で凸状に反る。これは、膜形成後それを室温に戻す途中においてガラスの機械的強度が弱い為に膨脹係数の相違により生じたものと考えられる。これに対し本発明で

はガラス基板が強化されているので反りが防止される。

第3図(a)(b)は、上記ウエーハの端部の互いに6cm離れた場所I, IIにおけるゲートMo13a, 13bのパターンとアモルファスシリコン15a, 15bの合わせパターンを示す。第3図(a)の SiO_2 被覆の基板では全んどズレが生じていないが、第3図(b)の従来の基板では大きくズレている。第4図(a)(b)に形成した薄膜トランジスタのパターンを示す。第4図(b)の従来の薄膜トランジスタでは、パターンずれによりゲートとチャンネルの重なりがなくなりトランジスタとしての動作が不可能となっている。

第5図に上記2種類のガラス基板上に450℃のCVD法で SiO_2 を約3000Å堆積した場合の基板の反りの半径のCVD膜依存性（温度依存性）を示す。実線は従来法、破線は常温で1μの SiO_2 をスパッター被覆したものである。被覆膜のないものでは第2図(b)の工程に対応させると、横軸の400, 450, 500℃は、夫々2μ, 5μ,

12 μ のパターンズレに相当する。これに対し SiO_2 被覆膜付のガラス基板では反りの半径が3倍以上も大きくなり、即ち反りが少なくなっている。

本発明は上記実施例に限られるものではなく、ガラス基板上のデバイスは密着センサー、太陽電池、エレクトロルミネッセンスデバイス等に適用することが出来る。一般に絶縁膜のヤング率は大きく変形を生じ易いため、特に絶縁膜をガラス基板上に形成する時に有用である。又、ポリシリコンは、500℃程度で通常被覆がその場合にも有効である。又、本発明はアニール時に生じ易い基板の変形に対しても有効である。又、ガラスの両面に被覆する膜は、 SiO_2 に限らずガラスの歪点以上でも機械的強度の大きな膜であれば良い。例えば Al_2O_3 、 ThO_2 、 BeO 、 TiO_2 、 Ta_2O_5 、 Y_2O_3 、 ZrO_2 、 Si_3N_4 、 TaN 、 BN 、 AlN 等を使用する事ができる。また、これらの膜の形成方法はスパッターに限らずガラスの歪点より十分低い温度で形成できる蒸着、プラズマCVD等でもよい。又、被膜(被覆膜)の厚さは通常薄膜デバイスに

用いられる絶縁膜の厚さは数百Å~1 μ 、半導体薄膜の厚さは数千Å~1 μ であるので被覆膜は少なくとも0.5 μ 以上必要である。又、形成時間から10 μ 以下が好ましい。即ち、被覆絶縁膜上に形成するガラスの歪点下250℃又は150℃より高い熱工程が加わる絶縁膜や半導体膜の合計厚さの2倍以上特に3倍以上とするのが本発明の効果をj得る上で好ましい。

尚、被覆膜の厚さがガラスの両面で異なると、不均等な応力が発生しガラスの変形が生ずるため、本発明の被覆膜の厚さはほぼ等しい事が望ましい。

上記実施例ではバリウム珪酸ガラスについて述べたが、その他アルミ1珪酸ガラスやソーダバリウム珪酸ガラス等の低融点ガラスでも良い。

又、被覆絶縁膜はガラスの歪点よりも150℃以上、好ましくは250℃以上低い温度で被覆する事が良い。又、ガラスの歪点下250℃、特に150℃より高い温度の熱工程が加わる場合に本発明の効果は大きいものである。又、被覆絶縁膜の歪点はガラスの歪点より200℃以上高くする

事が好ましい。

4. 図面の簡単な説明

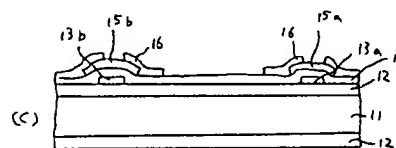
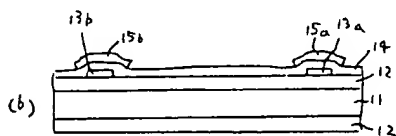
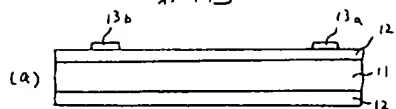
第1図(a)~(c)は本発明の実施例を説明する為の断面図、第2図(a)~(c)は従来例を説明する為の断面図、第3図(a)(b)及び第4図(a)(b)は夫々本発明の効果を説明する為の平面図、第5図は本発明の効果を説明する特性図である。

図に於いて、

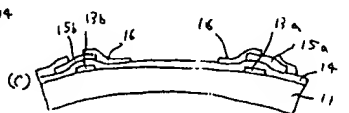
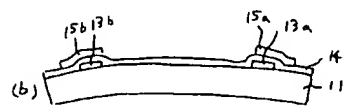
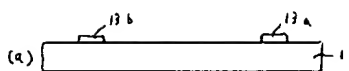
- 11...低融点ガラス基板、12... SiO_2 膜、
- 13... Mo ゲート電極、14...CVD SiO_2 膜、
- 15...アモルファスシリコン膜、16...ソース・ドレイン用アルミ電極。

代理人 弁理士 則 近 憲 佑(他1名)

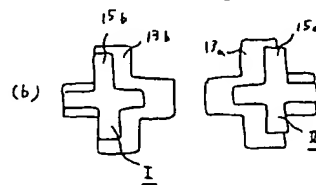
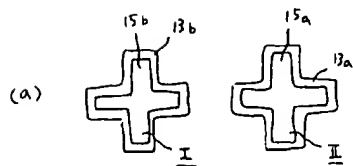
第1図



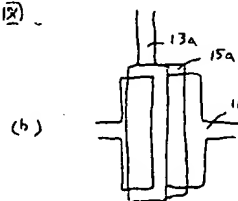
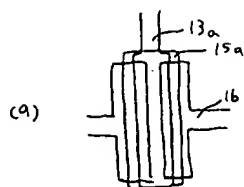
第2図



第3図



第4図



昭和 年 月 日
58.4.21

特許庁長官 殿

1. 事件の表示

昭和57年特願第227406号

2. 発明の名称

薄膜デバイス用ガラス基板

3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

4. 代 理 人

〒100

東京都千代田区内幸町1-1-6

東京芝浦電気株式会社東京事務所内

(7317) 弁理士 則 近 悠 佑

5. 補正命令の日付

昭和58年3月29日(発送日)

6. 補正の対象

明 細 書

7. 補正の内容

明細書の浄書(内容に変更なし)

以 上

第5図

